

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PAT-NO: JP02000194437A

DOCUMENT-IDENTIFIER: JP 2000194437 A

TITLE: DUAL CLOCK SYSTEM

PUBN-DATE: July 14, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
NAGAI, TETSUYA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP10367741

APPL-DATE: December 24, 1998

INT-CL (IPC): G06F001/04, H03K005/00

ABSTRACT:

PROBLEM TO BE SOLVED: To continuously supply a clock to a device even if a part of a clock generation system fails.

SOLUTION: A function board 14 inputs clocks outputted from clock generation boards 11 and 12 from both 1st and 2nd clock lines. A clock selection board 13 monitors the states of the 1st and 2nd clock lines and outputs a clock selection signal onto the clock selection lines in accordance with them. The board 14 switches a changeover switch 20 according to the clock selection signal and selects an output of a normal clock generation board.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-194437

(P2000-194437A)

(43)公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl.<sup>7</sup>  
G 0 6 F 1/04  
H 0 3 K 5/00

識別記号  
3 0 2  
3 0 3

F I  
G 0 6 F 1/04  
H 0 3 K 5/00

テーマコード<sup>\*</sup> (参考)  
3 0 2 A  
3 0 3 B  
X

審査請求 未請求 請求項の数5 OL (全 6 頁)

(21)出願番号

特願平10-367741

(71)出願人

000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地

(22)出願日

平成10年12月24日 (1998.12.24)

(72)発明者

長井 哲也  
神奈川県横浜市港北区綱島東四丁目3番1  
号 松下通信工業株式会社内

(74)代理人

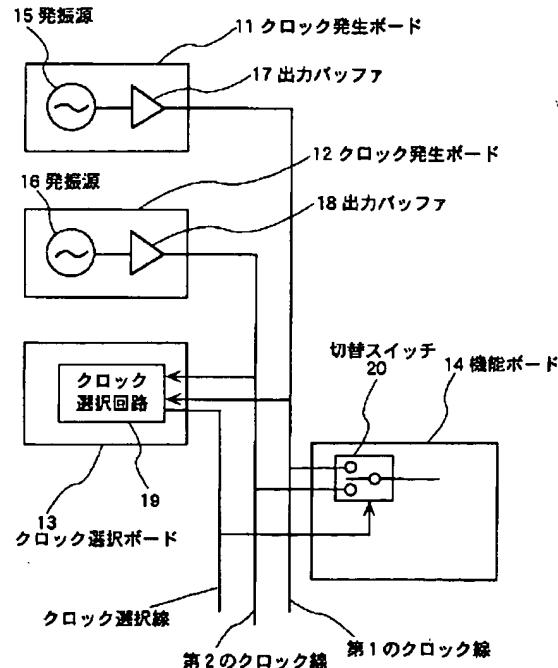
100099254  
弁理士 役 昌明 (外3名)

(54)【発明の名称】 クロック二重化方法

(57)【要約】

【課題】 クロック発生系の一部が故障しても引続き機器にクロックを供給し続けることができるようとする。

【解決手段】 機能ボード14は、クロック発生ボード11、12から出力されるクロックを第1、第2のクロック線の両方から入力する。クロック選択ボード13は第1、第2のクロック線の状態を監視し、それに応じてクロック選択線上にクロック選択信号を出力する。機能ボード14はクロック選択信号に従って、切替スイッチ20を切り替え、正常なクロック発生ボードの出力を選択する。



## 【特許請求の範囲】

【請求項1】 第1のクロック発生部と、第2のクロック発生部と、クロック選択信号発生部と、機能ブロックとを備え、前記クロック選択信号発生部は前記第1のクロック発生部が発生する第1のクロックと前記第2のクロック発生部が発生する第2のクロックとを監視し、それら二つのクロックの状態に応じてクロック選択信号を出力し、前記機能ブロックは前記第1、第2の両クロックを入力し、かつ前記クロック選択信号で指示された方のクロックを選択することを特徴とするクロック二重化方法。

【請求項2】 前記クロック選択信号は初期には前記第1のクロックを指示し、前記第1のクロックに異常を検出し、かつ前記第2のクロックに異常を検出しなかった場合に前記第2のクロックを指示することを特徴とする請求項1記載のクロック二重化方法。

【請求項3】 前記クロック選択信号の信号線がプルアップされていることを特徴とする請求項1または2記載のクロック二重化方法。

【請求項4】 第3のクロック発生部と、第4のクロック発生部と、クロック選択信号発生部と、機能ブロックとを備え、前記第3、第4のクロック発生部の出力段は3ステート出力バッファとリレーにより出力端子に接続される形態を有し、前記第3、第4のクロック発生部の出力端子と前記機能ブロックのクロック入力端子と前記クロック選択信号発生部のクロック入力端子とがクロック線により共通に接続され、前記クロック選択信号発生部は前記クロック線を監視し、その状態に応じて前記第3、第4のクロック発生部のいずれか一方の出力段をアクティブとすることを特徴とするクロック二重化方法。

【請求項5】 前記クロック選択信号発生部は初期には前記第3のクロック発生部の出力段をアクティブとし、前記クロック線のクロック状態が無信号となった場合に前記第4のクロック発生部の出力段をアクティブとすることを特徴とする請求項4記載のクロック二重化方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、通信システムのセンター装置などバックプレーンに各種機能ボードを実装する棚形式の機器に関し、特に機器の信頼性を向上させるためにクロック源を二つ備える場合のクロック二重化方法に関する。

## 【0002】

【従来の技術】図3は、従来のクロック二重化方法を用いた機器の構成を示している。この機器はバックプレーンに実装されるものであり、クロック発生ボード31、32と、クロック選択ボード33と、機能ボード34、35とを備えている。クロック発生ボード31は現用系であり、クロック発生ボード32は予備系である。機能ボード34、35は

この機器の各種機能を実現するためのボードである。

【0003】バックプレーンにはクロック線が設けられており、クロック発生ボード31、32の出力端子はこのクロック線に接続される。また、クロック選択ボード33と機能ボード34、35はクロック線からクロックを入力する。

【0004】クロック選択ボード33はクロック発生ボード31、32に対してクロック選択信号を出力する。クロック選択ボード33内にはクロック選択回路40が設けられており、クロック線の状態を監視し、その状態に応じてクロック選択信号をハイレベル(以下“H”)またはローレベル(以下“L”)にする。クロック選択信号を変化させるアルゴリズムはいくつか考えられるが、ここでは初期値として“H”を出力し、クロック線のクロックが断となった場合に“L”を出力するものとする。

【0005】クロック発生ボード31はその構成要素として発振源36とその出力が入力される3ステートの出力バッファ38とを備え、クロック選択信号が“H”的場合、出力バッファ38がアクティブになる。クロック発生ボード32も同様に発振源37とその出力が入力される3ステートの出力バッファ39とを備えるが、出力バッファ39はクロック選択信号が“L”的場合にアクティブになる。

【0006】次に、上記従来例の動作について説明する。当初、クロック選択ボード33からはクロック選択信号として“H”が出力されているのでクロック発生ボード31からのクロックがクロック線から機能ボード34、35に供給される。クロック発生ボード32内の発振源37は動作しているものの、出力バッファ39がハイインピーダンス状態であるのでクロック線に対して何も影響を及ぼさない。

【0007】この状態から、クロック発生ボード31に障害が発生してその出力クロックが断になるとすると、クロック選択回路40がそれを検出し、クロック選択信号を“L”に切り換える。すると出力バッファ39がアクティブになるのでクロック発生ボード32からのクロックが機能ボード34、35に供給されるようになる。

【0008】このように上記従来のクロック二重化方法でも現用系のクロック発生回路に障害が発生すると、自動的にクロック源を予備系に切り換えることができる。

## 【0009】

【発明が解決しようとする課題】しかしながら、上記従来のクロック二重化方法ではクロック発生ボードの障害の内容によってはクロックの切り替えがうまく行なえないという問題があった。すなわち、出力バッファ38がショートモードで故障した場合、その出力は“H”または“L”に固定され、クロック選択信号が“L”になり、出力バッファ39がアクティブになつても、その出力が故障した出力バッファ38でショートされた形になるため、クロック線にクロックが現れない。このように出力バッファ一つの故障によってシステム全体が動作停止に陥る

ことがある。

【0010】本発明はこのような従来の問題を解決するものであり、クロック発生系の一部が故障しても引き継ぎ機器にクロックを供給し続けることができるクロック二重化方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、上記課題を解決するために、第1のクロック発生部と、第2のクロック発生部と、クロック選択信号発生部と、機能ブロックとを備え、クロック選択信号発生部は第1のクロック発生部が発生する第1のクロックと第2のクロック発生部が発生する第2のクロックとを監視し、それら二つのクロックの状態に応じてクロック選択信号を出し、機能ブロックは第1、第2の両クロックを入力し、かつクロック選択信号で指示された方のクロックを選択するようクロック二重化方法を構成した。このように構成したことにより、第1、第2のクロック発生部、クロック選択信号発生部のどの一つが故障しても機能ブロックにクロックを供給することができる。

【0012】また、第3のクロック発生部と、第4のクロック発生部と、クロック選択信号発生部と、機能ブロックとを備え、第3、第4のクロック発生部の出力段は3ステート出力バッファとリレーとにより出力端子に接続される形態を有し、第3、第4のクロック発生部の出力端子と機能ブロックのクロック入力端子とクロック選択信号発生部のクロック入力端子とがクロック線により共通に接続され、クロック選択信号発生部はクロック線を監視し、その状態に応じて第3、第4のクロック発生部のいずれか一方の出力段をアクティブとするようにクロック二重化方法を構成した。このように構成したことにより、第3のクロック発生部または第4のクロック発生部の出力バッファとリレーが両方ともショートモードで故障しない限りクロック線にクロックが現れるので、機能ブロックにクロックを供給することができる。

【0013】

【発明の実施の形態】本発明の請求項1に記載した発明は、第1のクロック発生部と、第2のクロック発生部と、クロック選択信号発生部と、機能ブロックとを備え、前記クロック選択信号発生部は前記第1のクロック発生部が発生する第1のクロックと前記第2のクロック発生部が発生する第2のクロックとを監視し、それら二つのクロックの状態に応じてクロック選択信号を出し、前記機能ブロックは前記第1、第2の両クロックを入力し、かつ前記クロック選択信号で指示された方のクロックを選択するクロック二重化方法であり、機能ブロックはクロック選択信号発生部が指示した一方のクロックで動作するという作用を有する。

【0014】本発明の請求項2に記載した発明は、請求項1に記載の発明において、前記クロック選択信号は、初期には前記第1のクロックを指示し、前記第1のクロ

ックに異常を検出し、かつ前記第2のクロックに異常を検出しなかった場合に前記第2のクロックを指示するクロック二重化方法であり、機能ブロックは初期には第1のクロックで動作し、第1のクロックに異常が検出され、かつ第2のクロックに異常が検出されなかった場合に、第2のクロックで動作するという作用を有する。

【0015】本発明の請求項3に記載した発明は、請求項1に記載の発明において、前記クロック選択信号の信号線がプルアップされているクロック二重化方法であり、クロック選択信号の出力バッファがハイインピーダンスで故障した場合でも、機能ブロックがクロック選択信号を判別できるという作用を有する。

【0016】本発明の請求項4に記載した発明は、第3のクロック発生部と、第4のクロック発生部と、クロック選択信号発生部と、機能ブロックとを備え、前記第3、第4のクロック発生部の出力段は3ステート出力バッファとリレーとにより出力端子に接続される形態を有し、前記第3、第4のクロック発生部の出力端子と前記機能ブロックのクロック入力端子と前記クロック選択信号発生部のクロック入力端子とがクロック線により共通に接続され、前記クロック選択信号発生部は前記クロック線を監視し、その状態に応じて前記第3、第4のクロック発生部のいずれか一方の出力段をアクティブとするクロック二重化方法であり、前記第3、第4のクロック発生部のいずれか一方からクロック線にクロックが出力され、そのクロックが機能ブロックに入力されるという作用を有する。

【0017】本発明の請求項5に記載した発明は、請求項4に記載の発明において、前記クロック選択信号発生部は初期には前記第3のクロック発生部の出力段をアクティブとし、前記クロック線のクロック状態が無信号となった場合に前記第4のクロック発生部の出力段をアクティブとするクロック二重化方法であり、初期には第3のクロック発生部からクロック線にクロックが出力され、クロック線のクロック状態が無信号となつた場合に第4のクロック発生部からクロック線にクロックが出力されるという作用を有する。

【0018】(第1の実施の形態) 第1の実施の形態では、それぞれ一本ずつのクロック線に常時クロックを出力する二つのクロック発生ボードと、二本のクロック線の状態を監視し、正常な方のクロック(二本とも正常な場合は予め定めた一本)を選択するようクロック選択信号を出力するクロック選択ボードと、クロックを二本とも入力すると共にクロック選択信号をも入力し、それに従ってクロックを選択する機能ボードとを備えている。

【0019】図1は、本発明の第1の実施の形態の機器を示すシステム構成図である。この機器はバックプレーンに実装されるものであり、クロック発生ボード11、12と、クロック選択ボード13と、機能ボード14とを備えて

いる。クロック発生ボード11は現用系であり、クロック発生ボード12は予備系である。機能ボード14はこの機器の各種機能を実現するためのボードである。

【0020】バックプレーンには第1、第2クロック線が設けられており、クロック発生ボード11の出力は第1のクロック線に接続され、クロック発生ボード12の出力は第2のクロック線に接続される。クロック選択ボード13は第1、第2のクロック線の両方からクロックを入力し、それら二つのクロック状態に応じたレベルのクロック選択信号をバックプレーン上のクロック選択線へ出力する。機能ボード14は第1、第2のクロック線のクロックとクロック選択信号とを入力し、クロック選択信号のレベルに従って、切替スイッチ20により第1、第2のクロック線の一方のクロックを選択する。

【0021】クロック発生ボード11はその構成要素として発振源15とその出力が入力される出力バッファ17とを備え、常にクロックを出し続ける。クロック発生ボード12も同様にその構成要素として発振源16とその出力が入力される出力バッファ18とを備え、常にクロックを出し続ける。

【0022】クロック選択ボード13内にはクロック選択回路19が設けられており、第1、第2のクロック線の状態を監視し、少なくとも第1のクロック線が正常な場合はクロック選択信号を“H”とし、第1のクロック線が異常で、かつ第2のクロック線が正常な場合はクロック選択信号を“L”とする。

【0023】機能ボード14ではクロック選択信号が“H”的ときは切替スイッチ20により第1のクロック線を、“L”的時は第2のクロック線を選択する。

【0024】次に、上記第1の実施の形態の動作について説明する。機器全体が正常な場合、第1、第2のクロック線共に正常であるので、クロック選択信号は“H”となり機能ボード14の切替スイッチ20は第1のクロック線を選択する。この結果、機能ボード14はクロック発生ボード11が発生したクロックを得ることができる。

【0025】ここでクロック発生ボード11が故障して第1のクロック線のクロックが断になったとすると、クロック選択回路19がこれを検出し、クロック選択信号を“L”とする。すると機能ボード14の切替スイッチ20は第2のクロック線を選択する。この結果、機能ボード14はクロック発生ボード12が発生したクロックを得ることができる。その後クロック発生ボード11が復旧した場合はクロック選択信号は“H”に戻るので、機能ボード14の切替スイッチ20は再び第1のクロック線を選択するようになる。

【0026】もちろんクロック選択のアルゴリズムは他にも考えられる。例えば初期値は“H”とし、その後クロック発生ボード11が故障した場合に“L”となるが、クロック発生ボード11が復旧しても“L”的ままで、クロック発生ボード12が故障した場合に“H”に戻すと

いうアルゴリズムにしてもよい。

【0027】なお、クロック選択ボード13が故障することも考えられる。この場合、機器内で二つ以上のボードが同時に故障する可能性はきわめて低いと考えられるので、クロック選択ボード13が故障した時、クロック発生ボード11と12は正常と考えられる。したがってクロック選択信号が“H”であれ“L”であれ、機能ボード14はクロック発生ボード11または12から常にクロックを得ることができる。

10 【0028】また、クロック選択回路19の出力バッファがハイインピーダンスで故障することも考えられるが、これに対してはクロック選択線をプルアップしておくことにより、機能ボード14がクロック選択信号を“H”と判断するように構成できるので問題はない。

【0029】このように、どの一枚のボードが故障しても機能ボード14にはクロックが供給され続ける。なお、上記の構成のままでもクロック発生ボード11または12が故障した場合にクロック選択回路19が正常な方を選択するため、故障したクロック発生ボードをバックプレーンから引き抜いて修理をすることができる。また、機能ボード14に切替スイッチ20を強制的に固定する機能を付加すれば、クロック選択ボード14が故障した場合でも不要なクロック切り替えを行なうことなくクロック切り替えボード19をバックプレーンから引き抜いて修理を行なうことができる。

20 【0030】このように、本発明の第1の実施の形態ではクロック発生ボード11、12、またはクロック選択ボード13のどの一つが故障しても、機能ブロック14はクロックを得ることができる。

30 【0031】(第2の実施の形態) 第2の実施の形態は、発振源で発生したクロックが3ステート出力バッファとリレーとを有する出力段を介してクロック線に出力される二つのクロック発生ボードと、クロック線の状態を監視し、その状態に応じて正常な方(初期には予め定めた一方)のクロック発生ボードの出力がクロック線に出力されるようにクロック選択信号を二つのクロック発生ボードに供給するクロック選択ボードと、クロック線のクロックを入力する機能ボードとを備えている。

【0032】図2は、本発明の第2の実施の形態の機器を示すシステム構成図である。この機器はバックプレーンに実装されるものであり、クロック発生ボード21、22と、クロック選択ボード23と、機能ボード24、25とを備えている。クロック発生ボード21は現用系であり、クロック発生ボード22は予備系である。機能ボード24、25はこの機器の各種機能を実現するためのボードである。

40 【0033】バックプレーンにはクロック線が設けられており、クロック発生ボード21、22の出力端子はこのクロック線に接続される。また、クロック選択ボード23と機能ボード24、25はクロック線からクロックを入力する。

【0034】クロック選択ボード23はクロック発生ボード21、22に対してクロック選択信号を出力する。クロック選択ボード23内にはクロック選択回路212が設けられており、クロック線の状態を監視し、その状態に応じてクロック選択信号を“H”または“L”にする。クロック選択信号のレベルを変化させるアルゴリズムはいくつか考えられるが、ここでは初期値として“H”を出力し、クロック線のクロックが断となった場合に“L”を出力するものとする。

【0035】クロック発生ボード21はその構成要素として発振源26とその出力が入力される3ステートの出力バッファ28とその出力が入力されるリレー29とを備え、クロック選択信号が“H”的場合、出力バッファ28とリレー29とがアクティブになる。クロック発生ボード22も同様に発振源27とその出力が入力される3ステートの出力バッファ210とその出力が入力されるリレー211とを備えるが、出力バッファ210とリレー211とはクロック選択信号が“L”的場合にアクティブになる。

【0036】次に、上記第2の実施の形態の動作について説明する。当初、クロック選択ボード23からはクロック選択信号が“H”として出力されているのでクロック発生ボード21からのクロックがクロック線から機能ボード24、25に入力される。クロック源27は動作しているものの、出力バッファ210とリレー211がハイインピーダンス状態であるのでクロック線に対して何も影響を及ぼさない。

【0037】この状態から、クロック発生ボード21に障害が発生してその出力クロックが断になるとすると、クロック選択回路212がそれを検出し、クロック選択信号を“L”に切り換える。すると出力バッファ210、リレー211がアクティブになるのでクロック発生ボード22からのクロックが機能ボード24、25に供給されるようになる。

【0038】さて、従来例では出力バッファがショートモードで故障した場合が問題であったわけであるが、本実施の形態では出力バッファ28がショートモードで故障してもリレー29がオープンになるので上記問題は回避できる。逆にリレー29がショートモードで故障しても出力バッファ28がハイインピーダンスになるので問題ない。出力バッファ28とリレー29が同時にショートモードで故障した場合のみ従来例と同様な問題が発生するがその可能性は従来例に比べて低い。

【0039】このように、本発明の第2の実施の形態では、クロック発生ボード21の出力バッファ28、210が同

時にショートモードで故障しない限り、クロック線にクロックが現れるので、機能ボード24、25はクロックを得ることができる。

#### 【0040】

【発明の効果】本発明は第1のクロック発生部と、第2のクロック発生部と、クロック選択信号発生部と、機能ブロックとを備え、クロック選択信号発生部は第1のクロック発生部が発生する第1のクロックと第2のクロック発生部が発生する第2のクロックとを監視し、それら

10二つのクロックの状態に応じてクロック選択信号を出力し、機能ブロックは第1、第2の両クロックを入力し、かつクロック選択信号で指示された方のクロックを選択するようにクロック二重化方法を構成したので、第1、第2のクロック発生部、クロック選択信号発生部のどの一つが故障しても機能ブロックにクロックを供給することができるという効果を有する。

【0041】また、第3のクロック発生部と、第4のクロック発生部と、クロック選択信号発生部と、機能ブロックとを備え、第3、第4のクロック発生部の出力段は

203ステート出力バッファとリレーにより出力端子に接続される形態を有し、第3、第4のクロック発生部の出力端子と機能ブロックのクロック入力端子とクロック選択信号発生部のクロック入力端子とがクロック線により共通に接続され、クロック選択信号発生部はクロック線を監視し、その状態に応じて第3、第4のクロック発生部のいずれか一方の出力段をアクティブとするようにクロック二重化方法を構成した。このように構成したので、第3、第4のクロック発生部のいずれか一方の出力バッファとリレーが両方ともショートモードで故障しない限り、機能ブロックにクロックを供給することができるという効果を有する。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の機器のシステム構成図。

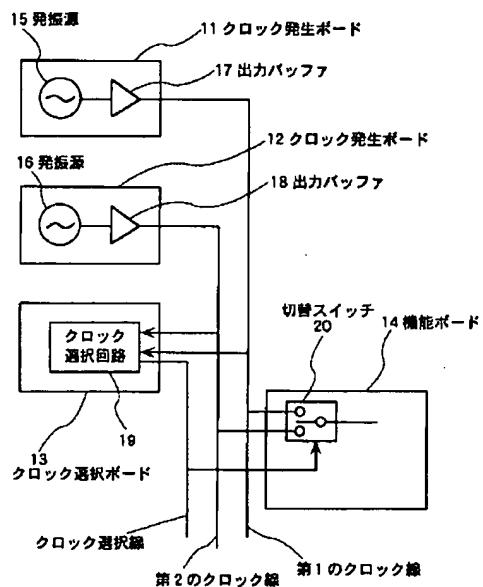
【図2】本発明の第2の実施の形態の機器のシステム構成図。

【図3】従来のクロック二重化方法による機器の構成図である。

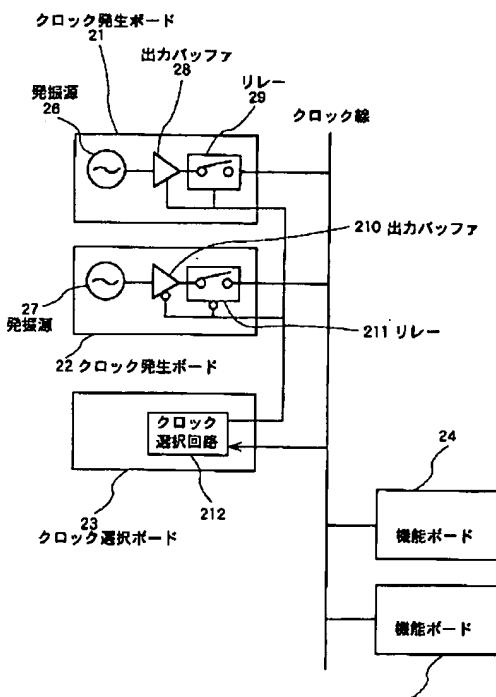
#### 【符号の説明】

- 40 11、12、21、22 クロック発生ボード  
 13、23 クロック選択ボード  
 14、24、25 機能ボード  
 28、210 出力バッファ  
 29、211 リレー

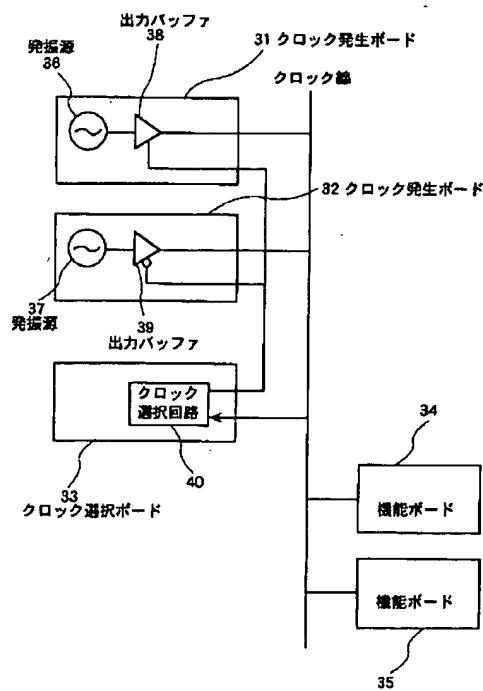
【図1】



【図2】



【図3】



**\* NOTICES \***

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The 1st clock generation section, the 2nd clock generation section, and the clock selection-signal generating section, Have functional block and said clock selection-signal generating section supervises the 1st clock which said 1st clock generation section generates, and the 2nd clock which said 2nd clock generation section generates. It is the clock doubleness approach characterized by choosing the clock of the direction which the clock selection signal was outputted according to the condition of these two clocks, and said functional block inputted both the said 1st and 2nd clock, and was directed with said clock selection signal.

[Claim 2] Said clock selection signal is the clock doubleness approach according to claim 1 characterized by directing said 2nd clock when said 1st clock is directed in early stages, and abnormalities are detected on said 1st clock and abnormalities are not detected on said 2nd clock.

[Claim 3] The clock doubleness approach according to claim 1 or 2 characterized by carrying out pull-up of the signal line of said clock selection signal.

[Claim 4] The 3rd clock generation section, the 4th clock generation section, and the clock selection-signal generating section, Have functional block and the output stage of the said 3rd and 4th clock generation section has the gestalt connected to an output terminal by 3 State output buffer and relay. The output terminal of the said 3rd and 4th clock generation section, the clock input terminal of said functional block, and the clock input terminal of said clock selection-signal generating section are connected in common by the clock line. Said clock selection-signal generating section is the clock doubleness approach characterized by supervising said clock line and activating one output stage of the said 3rd and 4th clock generation section according to the condition.

[Claim 5] Said clock selection-signal generating section is the clock doubleness approach according to claim 4 characterized by activating the output stage of said 3rd clock generation section in early stages, and activating the output stage of said 4th clock generation section when the clock status of said clock line becomes a non-signal.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About the device of the shelf format of mounting various functional boards in back planes, such as pin center, large equipment of communication system, this invention relates to the clock doubleness approach in the case of having two sources of a clock in order to raise especially the dependability of a device.

[0002]

[Description of the Prior Art] Drawing 3 shows the configuration of the device which used the conventional clock doubleness approach. This device is mounted in a back plane and equipped with the clock generation boards 31 and 32, the clock selection board 33, and the functional boards 34 and 35. the clock generation board 31 -- present -- business -- it is a system and the clock generation board 32 is a reserve system. The functional boards 34 and 35 are boards for realizing the various functions of this device.

[0003] The clock line is formed in the back plane and the output terminal of the clock generation boards 31 and 32 is connected to this clock line. Moreover, the clock selection board 33 and the functional boards 34 and 35 input a clock from a clock line.

[0004] The clock selection board 33 outputs a clock selection signal to the clock generation boards 31 and 32. The clock selection circuitry 40 is formed in the clock selection board 33, the condition of a clock line is supervised, and a clock selection signal is made into high level (following "H") or a low level (following "L") according to the condition. Although some algorithms to which a clock selection signal is changed are considered, "H" is outputted as initial value here, and "L" shall be outputted when the clock of a clock line becomes \*\*.

[0005] The clock generation board 31 is equipped with the output buffer 38 of the 3 State into which the source 36 of an oscillation and its output are inputted as the component, and when a clock selection signal is "H", an output buffer 38 becomes active. Although the clock generation board 32 is also equipped with the output buffer 39 of the 3 State into which the source 37 of an oscillation and its output are inputted similarly, an output buffer 39 becomes active when a clock selection signal is "L."

[0006] Next, actuation of the above-mentioned conventional example is explained. At the beginning, since "H" is outputted as a clock selection signal from the clock selection board 33, the clock from the clock generation board 31 is supplied to the functional boards 34 and 35 from a clock line. Although the source 37 of an oscillation in the clock generation board 32 is operating, since an output buffer 39 is a hi-z state, no effects are done to a clock line.

[0007] Supposing a failure occurs on the clock generation board 31 and that output clock becomes \*\* from this condition, the clock selection circuitry 40 will detect it and will switch a clock selection signal to "L." Then, since an output buffer 39 becomes active, the clock from the clock generation board 32 comes to be supplied to the functional boards 34 and 35.

[0008] thus -- the above-mentioned conventional clock doubleness approach -- present -- business -- if a failure occurs in the clock generation circuit of a system, the source of a clock can be automatically

switched to a reserve system.

[0009]

[Problem(s) to be Solved by the Invention] However, by the above-mentioned conventional clock doubleness approach, there was a problem that a clock could not be well changed depending on the contents of the failure of a clock generation board. That is, when an output buffer 38 breaks down in the short mode, the output is fixed to "H" or "L", a clock selection signal is set to "L", and since an intermediary with an active output buffer 39 also becomes the form which short-circuited by the output buffer 38 to which the output broke down, a clock does not appear in a clock line. Thus, the whole system may lapse into a halt of operation by failure of one output buffer.

[0010] This invention solves such a title between the former, and even if a part of clock generation system breaks down, it aims at offering the clock doubleness approach which can continue supplying a clock to a device succeedingly.

[0011]

[Means for Solving the Problem] In order that this invention may solve the above-mentioned technical problem, the 1st clock generation section and the 2nd clock generation section, Have the clock selection-signal generating section and functional block, and the clock selection-signal generating section supervises the 1st clock which the 1st clock generation section generates, and the 2nd clock which the 2nd clock generation section generates. The clock doubleness approach was constituted so that the clock of the direction which the clock selection signal was outputted according to the condition of these two clocks, and functional block inputted both the 1st and 2nd clock, and was directed with the clock selection signal might be chosen. Thus, by having constituted, even if one of the 1st, the 2nd clock generation section, and the clock selection-signal generating section throats breaks down, a clock can be supplied to functional block.

[0012] Moreover, the 3rd clock generation section, the 4th clock generation section, and the clock selection-signal generating section, Have functional block and the output stage of the 3rd and 4th clock generation section has the gestalt connected to an output terminal by 3 State output buffer and relay. The output terminal of the 3rd and 4th clock generation section, the clock input terminal of functional block, and the clock input terminal of the clock selection-signal generating section are connected in common by the clock line. The clock selection-signal generating section supervised the clock line, and it constituted the clock doubleness approach so that one output stage of the 3rd and 4th clock generation section might be activated according to the condition. Thus, since a clock appears in a clock line unless both the output buffer of the 3rd clock generation section or the 4th clock generation section and a relay break down in the short mode by having constituted, a clock can be supplied to functional block.

[0013]

[Embodiment of the Invention] Invention indicated to claim 1 of this invention The 1st clock generation section and the 2nd clock generation section, Have the clock selection-signal generating section and functional block, and said clock selection-signal generating section supervises the 1st clock which said 1st clock generation section generates, and the 2nd clock which said 2nd clock generation section generates. According to the condition of these two clocks, output a clock selection signal, and said functional block inputs both the said 1st and 2nd clock. And it is the clock doubleness approach which chooses the clock of the direction directed with said clock selection signal, and while directed and, as for functional block, the clock selection-signal generating section has an operation of operating with a clock.

[0014] Invention indicated to claim 2 of this invention is set to invention according to claim 1. Said clock selection signal In early stages, direct said 1st clock, and abnormalities are detected on said 1st clock. And it is the clock doubleness approach of directing said 2nd clock when abnormalities are not detected on said 2nd clock. Functional block has an operation of operating with the 2nd clock, when it operates with the 1st clock in early stages, and abnormalities are detected by the 1st clock and abnormalities are not detected by the 2nd clock.

[0015] In invention according to claim 1, invention indicated to claim 3 of this invention is the clock doubleness approach that pull-up of the signal line of said clock selection signal is carried out, and even

when the output buffer of a clock selection signal breaks down by high impedance, it has an operation that functional block can distinguish a clock selection signal.

[0016] Invention indicated to claim 4 of this invention The 3rd clock generation section and the 4th clock generation section, Have the clock selection-signal generating section and functional block, and the output stage of the said 3rd and 4th clock generation section has the gestalt connected to an output terminal by 3 State output buffer and relay. The output terminal of the said 3rd and 4th clock generation section, the clock input terminal of said functional block, and the clock input terminal of said clock selection-signal generating section are connected in common by the clock line. It is the clock doubleness approach which said clock selection-signal generating section supervises said clock line, and activates one output stage of the said 3rd and 4th clock generation section according to the condition. A clock is outputted to a clock line from either of the said 3rd and 4th clock generation section, and it has an operation that the clock is inputted into functional block.

[0017] Invention indicated to claim 5 of this invention is set to invention according to claim 4. In early stages, said clock selection-signal generating section activates the output stage of said 3rd clock generation section. It is the clock doubleness approach which activates the output stage of said 4th clock generation section when the clock status of said clock line becomes a non-signal. In early stages, a clock is outputted to a clock line from the 3rd clock generation section, and when the clock status of a clock line becomes a non-signal, it has an operation that a clock is outputted to a clock line from the 4th clock generation section.

[0018] (Gestalt of the 1st operation) With the gestalt of the 1st operation Two clock generation boards which always output a clock to every one clock line, respectively, The clock selection board which outputs a clock selection signal so that the condition of two clock lines may be supervised and the clock (1 set beforehand when normal [ two ]) of the normaler one may be chosen, While inputting both of clocks, the clock selection signal was also inputted, and it has the functional board which chooses a clock according to it.

[0019] Drawing 1 is the system configuration Fig. showing the device of the gestalt of operation of the 1st of this invention. This device is mounted in a back plane and equipped with the clock generation boards 11 and 12, the clock selection board 13, and the functional board 14. the clock generation board 11 -- present -- business -- it is a system and the clock generation board 12 is a reserve system. The functional board 14 is a board for realizing the various functions of this device.

[0020] The 1st and 2nd clock line is formed in the back plane, the output of the clock generation board 11 is connected to the 1st clock line, and the output of the clock generation board 12 is connected to the 2nd clock line. The clock selection board 13 inputs a clock from both 1st and 2nd clock line, and outputs the clock selection signal of the level according to these two clock status to the clock selection line on a back plane. The functional board 14 inputs the 1st and 2nd clock and clock selection signal of a clock line, and chooses one clock of the 1st and 2nd clock line with a circuit changing switch 20 according to the level of a clock selection signal.

[0021] The clock generation board 11 is equipped with the output buffer 17 into which the source 15 of an oscillation and its output are inputted as the component, and always continues outputting a clock. The clock generation board 12 is also equipped with the output buffer 18 into which the source 16 of an oscillation and its output are similarly inputted as the component, and always continues outputting a clock.

[0022] The clock selection circuitry 19 is formed in the clock selection board 13, the condition of the 1st and 2nd clock line is supervised, when the 1st clock line is normal at least, a clock selection signal is made into "H", and unusually [ the 1st clock line ], when the 2nd clock line is normal, a clock selection signal is set to "L."

[0023] With the functional board 14, when a clock selection signal is "H", the 1st clock line is chosen with a circuit changing switch 20, and the 2nd clock line is chosen at the time of "L."

[0024] Next, actuation of the gestalt of implementation of the above 1st is explained. Since the 1st and 2nd clock line is normal when the whole device is normal, a clock selection signal serves as "H" and the circuit changing switch 20 of the functional board 14 chooses the 1st clock line. Consequently, the

functional board 14 can obtain the clock which the clock generation board 11 generated.

[0025] Supposing the clock generation board 11 breaks down here and the clock of the 1st clock line becomes \*\*, the clock selection circuitry 19 will detect this and will set a clock selection signal to "L." Then, the circuit changing switch 20 of the functional board 14 chooses the 2nd clock line.

Consequently, the functional board 14 can obtain the clock which the clock generation board 12 generated. Since a clock selection signal returns to "H" when the clock generation board 11 is restored after that, the circuit changing switch 20 of the functional board 14 comes to choose the 1st clock line again.

[0026] Of course, otherwise, the algorithm of clock selection is considered. For example, when initial value is made into "H" and the clock generation board 11 breaks down after that, it is set to "L", but even if the clock generation board 11 is restored, when it considers as as [ "L" ] and the clock generation board 12 breaks down, you may make it the algorithm of returning to "H".

[0027] In addition, it is also considered that the clock selection board 13 breaks down. In this case, since it is thought that possibility that two or more boards will break down to coincidence within a device is very low, when the clock selection board 13 breaks down, the clock generation boards 11 and 12 are considered to be normal. therefore, a clock selection signal -- "H" -- be -- "L" -- be -- the functional board 14 can always obtain a clock from the clock generation boards 11 or 12.

[0028] Moreover, by carrying out pull-up of the clock selection line to this, although it is also considered that the output buffer of the clock selection circuitry 19 breaks down by high impedance, since it can constitute so that the functional board 14 may judge a clock selection signal to be "H", there is no between title.

[0029] Thus, even if which one board breaks down, a clock continues being supplied to the functional board 14. In addition, since the clock selection circuitry 19 chooses the normaler one when the clock generation boards 11 or 12 break down also with the above-mentioned configuration, it is fixable by drawing out the broken clock generation board from a back plane. Moreover, if the function which fixes a circuit changing switch 20 to the functional board 14 compulsorily is added, it can fix by drawing out the clock change board 19 from a back plane, without performing an unnecessary clock change, even when the clock selection board 14 breaks down.

[0030] Thus, with the gestalt of operation of the 1st of this invention, even if one of the clock generation boards 11 and 12 or the clock selection board 13 throats breaks down, functional block 14 can obtain a clock.

[0031] Two clock generation boards on which the clock which generated the gestalt of the 2nd operation in the source of an oscillation is outputted to a clock line through the output stage which has 3 State output buffer and a relay, (Gestalt of the 2nd operation) The clock selection board which supplies a clock selection signal to two clock generation boards so that the condition of a clock line may be supervised and the output of the clock generation board of the normaler one (it set beforehand in early stages on the other hand) may be outputted to a clock line according to the condition, It has the functional board which inputs the clock of a clock line.

[0032] Drawing 2 is the system configuration Fig. showing the device of the gestalt of operation of the 2nd of this invention. This device is mounted in a back plane and equipped with the clock generation boards 21 and 22, the clock selection board 23, and the functional boards 24 and 25. the clock generation board 21 -- present -- business -- it is a system and the clock generation board 22 is a reserve system. The functional boards 24 and 25 are boards for realizing the various functions of this device.

[0033] The clock line is formed in the back plane and the output terminal of the clock generation boards 21 and 22 is connected to this clock line. Moreover, the clock selection board 23 and the functional boards 24 and 25 input a clock from a clock line.

[0034] The clock selection board 23 outputs a clock selection signal to the clock generation boards 21 and 22. The clock selection circuitry 212 is formed in the clock selection board 23, the condition of a clock line is supervised, and a clock selection signal is set to "H" or "L" according to the condition. Although some algorithms to which the level of a clock selection signal is changed are considered, "H" is outputted as initial value here, and "L" shall be outputted when the clock of a clock line becomes \*\*.

[0035] The clock generation board 21 is equipped with the relay 29 into which the output buffer 28 and output of the 3 State into which the source 26 of an oscillation and its output are inputted as the component are inputted, and when a clock selection signal is "H", an output buffer 28 and relay 29 become active. Although the clock generation board 22 is also equipped with the relay 211 into which the output buffer 210 and output of the 3 State into which the source 27 of an oscillation and its output are inputted similarly are inputted, an output buffer 210 and relay 211 become active when a clock selection signal is "L."

[0036] Next, actuation of the gestalt of implementation of the above 2nd is explained. At the beginning, since the clock selection signal is outputted as "H" from the clock selection board 23, the clock from the clock generation board 21 is inputted into the functional boards 24 and 25 from a clock line. Although the source 27 of a clock is operating, since an output buffer 210 and relay 211 are hi-z states, no effects are done to a clock line.

[0037] Supposing a failure occurs on the clock generation board 21 and that output clock becomes \*\* from this condition, the clock selection circuitry 212 will detect it and will switch a clock selection signal to "L." Then, since an output buffer 210 and relay 211 become active, the clock from the clock generation board 22 comes to be supplied to the functional boards 24 and 25.

[0038] Now, with the gestalt of this operation, although the case where an output buffer breaks down in the short mode in the conventional example is a reason for having been a problem, since relay 29 is opened even if an output buffer 28 breaks down in the short mode, the above-mentioned problem is avoidable. Conversely, since an output buffer 28 becomes high impedance even if relay 29 breaks down in the short mode, it is satisfactory. Although the same problem as the conventional example occurs only when an output buffer 28 and relay 29 break down in the short mode to coincidence, the possibility is low compared with the conventional example.

[0039] Thus, with the gestalt of operation of the 2nd of this invention, since a clock appears in a clock line unless the output buffer 28,210 of the clock generation board 21 breaks down in the short mode to coincidence, the functional boards 24 and 25 can obtain a clock.

[0040]

[Effect of the Invention] This invention The 1st clock generation section, the 2nd clock generation section, and the clock selection-signal generating section, Have functional block and the clock selection-signal generating section supervises the 1st clock which the 1st clock generation section generates, and the 2nd clock which the 2nd clock generation section generates. Since the clock doubleness approach was constituted so that the clock of the direction which the clock selection signal was outputted according to the condition of these two clocks, and functional block inputted both the 1st and 2nd clock, and was directed with the clock selection signal might be chosen Even if one of the 1st, the 2nd clock generation section, and the clock selection-signal generating section throats breaks down, it has the effectiveness that a clock can be supplied to functional block.

[0041] Moreover, the 3rd clock generation section, the 4th clock generation section, and the clock selection-signal generating section, Have functional block and the output stage of the 3rd and 4th clock generation section has the gestalt connected to an output terminal by 3 State output buffer and relay. The output terminal of the 3rd and 4th clock generation section, the clock input terminal of functional block, and the clock input terminal of the clock selection-signal generating section are connected in common by the clock line. The clock selection-signal generating section supervised the clock line, and it constituted the clock doubleness approach so that one output stage of the 3rd and 4th clock generation section might be activated according to the condition. Thus, since it constituted, unless both one output buffer of the 3rd and 4th clock generation section and a relay break down in the short mode, it has the effectiveness that a clock can be supplied to functional block.

[Translation done.]

\* NOTICES \*

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The system configuration Fig. of the device of the gestalt of operation of the 1st of this invention,

[Drawing 2] The system configuration Fig. of the device of the gestalt of operation of the 2nd of this invention,

[Drawing 3] It is the block diagram of the device by the conventional clock doubleness approach.

[Description of Notations]

11, 12, 21, 22 Clock generation board

13, 23 Clock selection board

14, 24, 25 Functional board

28, 210 Output buffer

29, 211 Relay

---

[Translation done.]